

Requested document:	JP5257169 click here to view the pdf document
----------------------------	--

No English title available.

Patent Number:

Publication date: 1993-10-08

Inventor(s):

Applicant(s):

Requested Patent: ☐ [JP5257169](#)

Application Number: JP19920055945 19920316

Priority Number(s): JP19920055945 19920316

IPC Classification: G02F1/136; G02F1/133; G09F9/30

EC Classification:

Equivalents: JP3059291B2

Abstract

PURPOSE:To provide the active matrix liquid crystal display device which generates no afterimage, has a high panel aperture rate, and obtains sharp picture quality and is free from the generation of a domain along a gate bus line. **CONSTITUTION:**Gate bus lines GL are formed in two-layered structure across an insulating film 8, a driving circuit is so connected that the waveforms of scanning pulses applied to the gate bus lines GLp and GLn have the mutually opposite polarities, and TFT elements in inverse stagger structure and TFT elements in stagger structure are stacked to form two TFTs; and they are (n)-channel TFT elements as one type and (p)-channel TFT elements as the other.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-257169

(43) 公開日 平成5年(1993)10月8日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
G 0 9 F 9/30	3 3 8	6447-5G		

審査請求 未請求 請求項の数4(全 8 頁)

(21) 出願番号 特願平4-55945

(22) 出願日 平成4年(1992)3月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 森田 敬三

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 大浦 道也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 吉岡 浩史

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 福島 康文

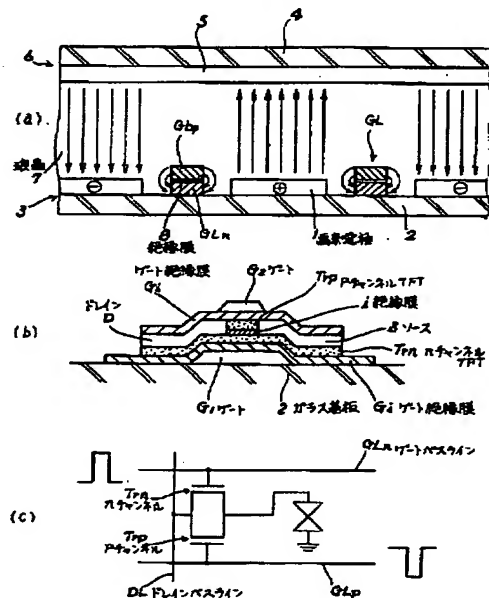
(54) 【発明の名称】 アクティブマトリクス液晶表示装置

(57) 【要約】

【目的】 特に高精細および無欠陥の液晶表示装置を提供するためのアクティブマトリクス液晶表示装置に関し、残像が発生せず、かつパネル開口率が高く明るい鮮明な画質を得ることができ、またゲートバスラインに沿ってドメインが発生することのないアクティブマトリクス液晶表示装置を実現することを目的とする。

【構成】 ゲートバスラインGLを絶縁膜8を介して2層構造とし、上下のゲートバスラインGL_p、GL_nに印加する走査パルスの波形が互いに逆極性となるように、駆動回路を接続し、かつ前記ゲートバスラインGLに対応させて、逆スタガ構造のTFT素子とスタガ構造のTFT素子を積み重ねて2つのTFTを作製し、一方をnチャンネルのTFT素子とし、もう一方をpチャンネルのTFT素子とする。

本発明の基本原理解



【特許請求の範囲】

【請求項1】 複数のドレインバスライン(DL)とゲートバスライン(GL)が直交し、その交点近傍に薄膜トランジスタ(T_r)とそれに対応する画素電極(1)が設けられたアクティブマトリクス基板(3)と、対向電極(5)を有する対向基板(6)と、アクティブマトリクス基板(3)と対向基板(6)に挟持された液晶(7)よりなるアクティブマトリクス液晶パネルにおいて、

2種類のTFTを重ねて作製することで冗長構成をとったことを特徴とするアクティブマトリクス液晶表示装置。

【請求項2】 複数のドレインバスライン(DL)とゲートバスライン(GL)が直交し、その交点近傍に薄膜トランジスタ(T_r)とそれに対応する画素電極(1)が設けられたアクティブマトリクス基板(3)と、対向電極(5)を有する対向基板(6)と、アクティブマトリクス基板(3)と対向基板(6)に挟持された液晶(7)よりなるアクティブマトリクス液晶パネルにおいて、

ゲートバスライン(GL)を絶縁膜(8)を介して2層構造とし、上下のゲートバスライン(GL_p, GL_n)に印加する走査パルスの波形が互いに逆極性となるように、駆動回路を接続したことを特徴とするアクティブマトリクス液晶表示装置。

【請求項3】 前記の2層構造のゲートバスライン(GL)に対応させて、逆スタガ構造のTFT素子とスタガ構造のTFT素子を積み重ねて2つのTFTを作製し、一方をnチャンネルのTFT素子とし、もう一方をpチャンネルのTFT素子としたことを特徴とする請求項2記載のアクティブマトリクス液晶表示装置。

【請求項4】 実際には素子として駆動しない疑似TFT素子と、スタガ構造または逆スタガ構造のTFT素子を積み重ねた構造とし、TFT素子をnチャンネルまたはpチャンネルのTFT素子としたことを特徴とする請求項2記載のアクティブマトリクス液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、特に高精細および無欠陥の液晶表示装置を提供するためのアクティブマトリクス液晶表示装置に関する。アクティブマトリクス液晶表示装置は、10インチクラスの中精細表示装置が実用段階に来ている。

【0002】 最近では、さらに高画質を要求されるEDTVやワークステーションに対応して、高精細の液晶表示装置の要求が高くなっている。EDTV用高精細表示装置は、中精細のものと比較して、画素数が約3倍、1画素の大きさは1/2倍となっており、コントラスト200以上で無欠陥かつ鮮明な液晶表示装置が必要とされる。

【0003】

【従来の技術】 従来の液晶表示装置は、図7に示すように、ゲートバスラインGLとドレインバスラインDLとを交

差させ、この交点近傍にa-Siを用いたTFT素子T_rを形成して、画素電極1を駆動するようになっている。TFT素子の形成方法には、ゲート層を一番下に形成する逆スタガ方式と、ゲート層を一番上に形成するスタガ方式があり、また無欠陥を実現するために、TFT素子を1画素当たり2個ずつ形成して冗長構成をとったものが多い。

【0004】 図8はアクティブマトリクス液晶ディスプレイの1セルの等価回路であり、図9(a)に例示するような駆動波形で駆動される。図9において、ソース電圧(V_s)は、ゲート・ソース間容量(C_{gs})およびドレイン・ソース間の容量(C_{ds})の影響を受けて変化する。ここで、ゲート電圧の変動(ΔV_g)およびドレイン電圧の変動(ΔV_d)によるソース電位の変動(ΔV_s)は、次式によって表される。

【0005】

【数1】

$$\Delta V_s = \frac{C_{gs}}{C_{gs} + C_{lc}(V_d)} \times \Delta V_g$$

【0006】

【数2】

$$\Delta V_s = \frac{C_{ds}}{C_{ds} + C_{lc}(V_d)} \times \Delta V_d$$

ΔV_s : ソース電圧の変動分

ΔV_d : ドレイン電圧の変動分

C_{gs} : ゲート・ソース容量

C_{lc} : 液晶セル容量

ΔV_g : ゲート電圧の変動分

V_d : 液晶セル印加電圧

C_{ds} : ドレイン・ソース容量

【0007】

【発明が解決しようとする課題】 一般に、アクティブマトリクス液晶ディスプレイは、液晶に印加される電圧の対称性を維持するため、このV_sのΔV_gによる変化分を、共通電極にV_cを印加して補正している。ところが、液晶は誘電異方性を持っていて液晶分子が立っている状態と寝ている状態とでは静電容量が異なるため、液晶セル容量(C_{lc})が液晶セル印加電圧(V_d)に依存して変わるので、V_cによる補正だけでは、このΔV_sを完全に補正することができない。

【0008】 したがって、固定パターンを表示させたとき、セルによっては非対称波形が印加される場合がある。非対称波形が印加されたセルでは、DCバイアスが印加されることになるので、配向膜に分極電荷が蓄積される。ここで画面を書き換え、外部から新たに対称な電圧波形を印加すると、分極電荷が蓄えられたセルでは、液晶セルに印加される電圧が周囲と異なり、透過率に変化が生じる。これが残像となって認識され、静止面の画

質を低下させる。

【0009】これを防ぐため、通常は図8のように、液晶セルと並列に蓄積容量(C_s)を設け、液晶セル容量 C_{lc} の変動が ΔV_s に与える影響を小さくしている。しかし、蓄積容量を設けたとしても、せいぜい液晶容量 C_{lc} の2~3倍であるので、 ΔV_s に与える影響を完全に無くすることはできない。また、蓄積容量は画素に重ねて形成するため、パネルの透過率を低下させることになり、明るく鮮明な画質を提供するのが困難となる。

【0010】一方、アクティブマトリクス表示装置では、オープン欠陥を救済して無欠陥を実現するために、図7に鎖線で示すように多くの場合1セルに2個以上のTFTを形成して冗長構成をとっている。したがって、それだけパネル開口率が下がるほか、ゲート・ソース容量 C_{gs} がTFTの数だけ増えるので、蓄積容量 C_s を大きくしなければ残像を除けない。蓄積容量を大きくすれば、必然的に透過率が下がり、明るく鮮明な画質を提供するのが困難である。

【0011】図10は、TFT液晶表示装置の断面構造を示したものであり、透明基板2に画素電極1やゲートバスラインGL、ドレインバスラインDL、TFTなどが形成されたアクティブマトリクス基板3と、透明基板4の内面に共通電極5が形成された対向基板6との間に、液晶7が封入されている。

【0012】ゲートバスラインGLに印加される波形の振幅はおよそ20Vで、ドレインバスラインDLに印加される波形の振幅は10V程度なため、最大20V程度の電位差がゲートバスラインGLと画素電極1との間に生じる。

【0013】高精細液晶ディスプレイでは、ゲートバスラインGLと画素電極1の間隔Wが $10\mu s$ 程度と狭いため、ゲートバスラインGLに近い部分で画素の電位が変動を受け、液晶分子が誤動作して画質を著しく劣化させる。すなわち、図7に示すように、ゲートバスラインGLに沿って両側に異なった色のドメインdが発生する。

【0014】本発明の技術的課題は、このような問題に着目し、残像が発生せず、かつパネル開口率が高く明るい鮮明な画質を得ることができ、またゲートバスラインに沿ってドメインが発生することのないアクティブマトリクス液晶表示装置を実現することにある。

【0015】

【課題を解決するための手段】図1は本発明によるアクティブマトリクス液晶表示装置の基本原理を説明する図であり、(a)はアクティブマトリクス液晶表示装置の断面図、(b)はTFT部の断面図、(c)は等価回路である。

【0016】(a)図に示すように、透明基板2に画素電極1やゲートバスラインGL、ドレインバスライン(DL)、TFTなどが形成されたアクティブマトリクス基板3と、透明基板4の内面に共通電極5が形成された対向基板6との間に、液晶7が封入されている。そして、複数

のドレインバスラインとゲートバスラインが直交し、その交点近傍にTFTとそれに対応する画素電極1が設けられている。

【0017】請求項1の発明は、前記のようなアクティブマトリクス液晶表示装置において、2種類のTFTを重ねて作製することで冗長構成をとったものである。

【0018】請求項2の発明は、前記のようなアクティブマトリクス液晶表示装置において、ゲートバスラインGLが、絶縁膜8を介して2層に重ねた構造になっており、上下のゲートバスラインに印加する走査波形が、互いに逆極性の波形となるように、駆動回路を接続した構成である。

【0019】請求項3の発明は、前記2層構造のゲートバスラインに対応させて、逆スタagger構造のTFT素子とスタagger構造のTFT素子を積み重ねて2つのTFTを作製し、一方をnチャンネルのTFT素子とし、もう一方をpチャンネルのTFT素子とした構造である。

【0020】請求項4の発明は、図6のように、実際には素子として駆動しない疑似TFT素子と、スタagger構造または逆スタagger構造のTFT素子を積み重ねた構造とし、TFT素子をnチャンネルまたはpチャンネルのTFT素子とした構造である。

【0021】

【作用】請求項1のように、二つのTFTを重ねて作製することで冗長構成をとっているため、従来のように同一面内に二つのTFTを作製する場合と違って、開口率を下げずにオープン欠陥を救済できる。

【0022】請求項2は、絶縁膜8を介して2層に重ねてゲートバスラインを構成し、上部のゲートバスラインと下部のゲートバスラインに互いに逆極性の駆動波形を印加して、電位が互いに相殺されるようにしているので、ゲートバスラインGLと画素電極1間の電位差が小さくなる。その結果、ゲートバスライン近傍の画素電極の電位が変動を起こしにくく、ドメインの発生を防止することができ、画質が格段に向上する。

【0023】請求項3のように、前記の2層構造のゲートバスラインに対応させて、逆スタagger構造のTFT素子とスタagger構造のTFT素子を積み重ねて2つのTFTを作製し、一方をnチャンネルのTFT素子とし、もう一方をpチャンネルのTFT素子とすることにより、ゲート・ソース間容量の等しい2つのTFTに、互いに電位を相殺する駆動波形が印加されるため、ソース電圧(V_s)は、ゲート・ソース間容量(C_{gs})の影響を受けない。したがって、残像の焼付きを解消するための蓄積容量を形成する必要がなく、透過率を下げずに残像の焼き付きを完全に解消することができる。

【0024】これに対し、請求項4の場合は、片方のTFTが疑似なため、TFTとしては機能せず、冗長構成は不可能であるが、蓄積容量無しに残像を防止できるほか、ゲートバスライン近傍の画素電極にドメインが発生

するのも防止できる。

【0025】

【実施例】次に本発明によるアクティブマトリクス液晶表示装置が実際上どのように具体化されるかを実施例で説明する。図2は1セルの平面図であり、図3は図2のa-a断面図、図4は図2のb-b断面図である。

【0026】図3に例示するように、ゲートバスラインGLは、SiO₂とSiNx等の絶縁膜81、82を挟んで、上部ゲートバスラインGLpと下部ゲートバスラインGLnに分かれている。ゲートバスラインGLp、GLnの材質は、Ti (チタン) あるいはCr (クロム) などが適している。

【0027】また、図2に示すように、ゲートバスラインGLp、GLnに入力する走査波形は、互いに電位を相殺するようになっている。すなわち、上部ゲートバスラインGLpはp型のTFT素子を、下部ゲートバスラインGLnにはn型のTFT素子を駆動していると仮定すると、上部ゲートバスラインGLpには負のパルスが、下部ゲートバスラインGLnには正のパルスが入力される。

【0028】図4はTFT部の詳細を示したものである。薄膜トランジスタは逆スタック構造の上にスタック構造を積み重ねた構造となっており、以下のようにして作製する。透明ガラス基板2上に、TiあるいはCrをスパッタして全面に堆積させ、図3の下側ゲートバスラインGLnおよびゲート電極G1をパターニングする。

【0029】次に、その上からSiO₂およびSiNxにより、図3における絶縁膜81、82およびゲート絶縁膜9、10を形成すると共に、a-Si (アモルファスシリコン) による半導体層11をプラズマCVD (PCVD) 法により連続して堆積させ、トランジスタのパターンでパターニングする。さらに、n⁺型a-Si、SiNxによるチャンネル保護膜12、13およびAlによるソース電極S (ソースバスライン) 並びにドレイン電極D (ドレインバスライン) をPCVD法とスパッタで堆積して、電極パターンで共通にパターニングし、次にITO (インジウム錫酸化物) をスパッタ法により堆積して、画素電極のパターンでパターニングする。

【0030】この後、SiO₂による絶縁膜16、p⁺型a-Si、SiNxによる絶縁膜17、18をPCVD法とスパッタで堆積させ、トランジスタのパターンでパターニングする。そしてa-Siによる半導体層19およびSiO₂およびSiNxによるゲート絶縁膜20、21をPCVD法により連続して堆積させ、トランジスタのパターンでパターニングする。

【0031】最後に、TiあるいはCrをスパッタにより全面に堆積させ、図3の上部ゲートバスラインGLpおよびゲート電極G2をパターニングする。これら2種類のTFTのうち、p型のTFTを駆動する上側のゲートバスラインGLpには、負の走査パルスを印加し、n型のTFTを駆動する下側のゲートバスラインGLnには、正の走査パルスを印加する。

【0032】なお、上下逆にして、下側に形成したp型のTFTに下側のゲートバスラインで負の走査パルスを印加し、上側に形成したn型のTFTに上側のゲートバスラインで正の走査パルスを印加してもよい。

【0033】図5はTFTの他の実施例である。薄膜トランジスタはスタック構造の上に逆スタック構造を積み重ねた構造となっており、以下のようにして作製する。透明ガラス基板2の上に、Alをスパッタにより全面に堆積させ、ソース電極S (ソースバスライン) 並びにドレイン電極D (ドレインバスライン) をパターニングする。

【0034】次にn⁺型a-Si、a-Siによる半導体層23、24、SiO₂およびSiNxによるゲート絶縁膜25、26をスパッタとPCVD法により連続して堆積させ、トランジスタのパターンでパターニングする。

【0035】さらに、TiあるいはCr、SiO₂絶縁膜、TiあるいはCrの順にスパッタにより全面に堆積させ、図1の下側ゲートバスラインGLn、絶縁膜8、上側GLpを形成するとともに、ゲート電極G1、上下間の絶縁層28およびゲート電極G2をパターニングする。

【0036】その後、その上にSiO₂およびSiNxによるゲート絶縁膜30、31、a-Siによる半導体層32をPCVD法により連続して堆積させ、トランジスタのパターンでパターニングする。さらに、p⁺型a-Si、SiNxによるチャンネル保護膜33、34をPCVD法で堆積して、電極パターンで共通にパターニングする。

【0037】そして、SiO₂絶縁膜35でトランジスタを保護した後、Alによるソース電極S (ソースバスライン) 並びにドレイン電極D (ドレインバスライン) をPCVD法とスパッタで堆積して、電極パターンで共通にパターニングし、下側のTFTと接続する。次にITOをスパッタ法により堆積して、画素電極のパターンでパターニングする。

【0038】これら2種類のTFTのうち、p型のTFTを駆動しているゲートバスラインには、負の走査パルスを印加し、n型のTFTを駆動しているゲートバスラインには、正の走査パルスを印加する。

【0039】図6は請求項4に示す疑似のTFTを有する実施例である。薄膜トランジスタは、逆スタック構造の上に実際には動作しない疑似のスタック構造を積み重ねた構造となっている。作製プロセスは以下のとおりである。

【0040】透明ガラス基板2の上に、TiあるいはCrをスパッタにより全面に堆積させ、図3の下側ゲートバスラインGLnおよびゲート電極G1をパターニングする。次に、その上からSiO₂およびSiNxにより、図3における絶縁膜81、82およびゲート絶縁膜9、10を形成するとともに、a-Siによる半導体層11をPCVD法により連続して堆積させ、トランジスタのパターンでパターニングする。

【0041】さらに、 n^+ 型a-Si、SiNxによるチャンネル保護膜12、13およびAlによるソース電極S（ソースバスライン）並びにドレイン電極D（ドレインバスライン）をPCVD法とスパッタで堆積して、電極パターンで共通にパターニングし、次にITOをスパッタ法により堆積して、画素電極のパターンでパターニングする。

【0042】これまでのプロセスは、図4の実施例と同じであるが、上側のTFTは疑似なため、SiO₂による絶縁膜16を全面に、そしてSiNxによる絶縁膜18をPCVD法とスパッタで堆積させ、トランジスタのパターンでパターニングする。そしてa-Siによる半導体層19およびSiO₂およびSiNxによるゲート絶縁膜20、21をPCVD法により連続して堆積させ、トランジスタのパターンでパターニングする。

【0043】最後に、TiあるいはCrをスパッタにより全面に堆積させ、図3の上部ゲートバスラインGLpおよびゲート電極G2をパターニングする。

【0044】これら2種類のTFTのうち、上側の疑似TFTを駆動している上側のゲートバスラインGLpには、負の走査パルスを印加し、下側のn型のTFTを駆動している下側のゲートバスラインGLnには、正の走査パルスを印加する。

【0045】

【発明の効果】請求項1のように、二つのTFTを重ねて作製し、冗長構成をとることで、開口率を下げずにオープン欠陥を救済できる。また、請求項2のように、絶縁膜8を介して2層に重ねてゲートバスラインを構成し、上下のゲートバスラインに電位が互いに相殺されるように走査パルスを印加することで、ゲートバスライン近傍の画素電極の電位が変動を起しにくく、ドメインの発生を防止することができる。

【0046】さらに、請求項3のように、前記の2層構造のゲートバスラインに対応させて、逆スタック構造のTFT素子とスタック構造のTFT素子を積み重ねて2つのTFTを作製し、一方をnチャンネルのTFT素子とし、もう一方をpチャンネルのTFT素子とすることにより、残像の焼付きを解消するための蓄積容量を形成する必要がなく、透過率を下げずに残像の焼付きを完全に解消することができる。

【0047】また、請求項4の場合は、片方のTFTが疑似なため、冗長構成は不可能であるが、蓄積容量無しに残像を防止でき、かつ画素電極のゲートバスライン近傍におけるドメイン発生も防止できる。

【図面の簡単な説明】

【図1】本発明によるアクティブマトリクス液晶表示装置の基本原理を説明する図で、(a)はアクティブマトリクス液晶表示装置の断面図、(b)はTFT部の断面図、(c)は等価回路である。

【図2】本発明の実施例を示す平面図である。

【図3】図2のa-a断面図である。

【図4】図2のb-b断面図である。

【図5】TFT部の別の実施例を示す断面図である。

【図6】請求項4に示す疑似のTFTを有する実施例の断面図である。

【図7】従来のアクティブマトリクス液晶表示装置の1セル部の平面図である。

【図8】従来のアクティブマトリクス液晶表示装置の1セル部の等価回路である。

【図9】アクティブマトリクス液晶表示装置における印加波形と液晶セル波形を示す図である。

【図10】従来のアクティブマトリクス液晶表示装置の断面図である。

【符号の説明】

Tr TFT

Trn n型TFT

Trp p型TFT

G, G1, G2 ゲート

D ドレイン

S ソース

GL ゲートバスライン

GLn n型のTFTに接続されたゲートバスライン

GLp p型のTFTに接続されたゲートバスライン

DL ドレインバスライン

1 画素電極

d ドメイン

2, 4 透明基板

3 アクティブマトリクス基板

5 対向電極

6 対向基板

7 液晶

8, 81, 82 絶縁膜

9, 10, 20, 21, 25, 26, 30, 31 ゲート絶縁膜

11, 24 a-Si半導体層

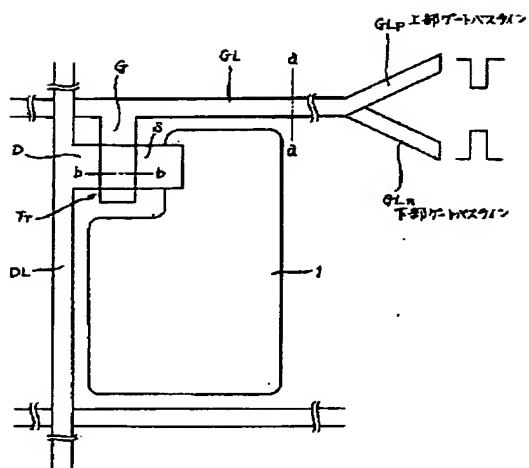
12, 23 n^+ 型a-Si

17, 33 p^+ 型a-Si

19, 32 a-Si半導体層

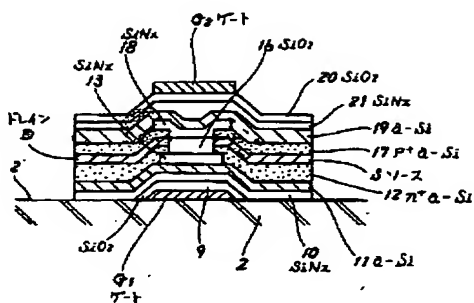
【図2】

実施例における1セルの平面図



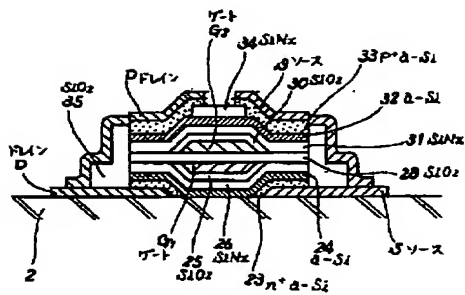
【图4】

b-b 斷面圖



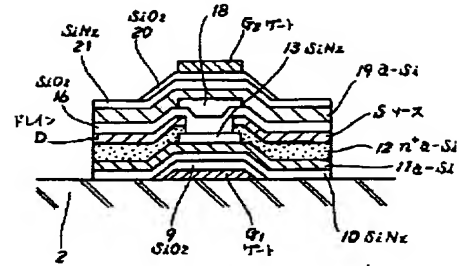
【図5】

別の実施例



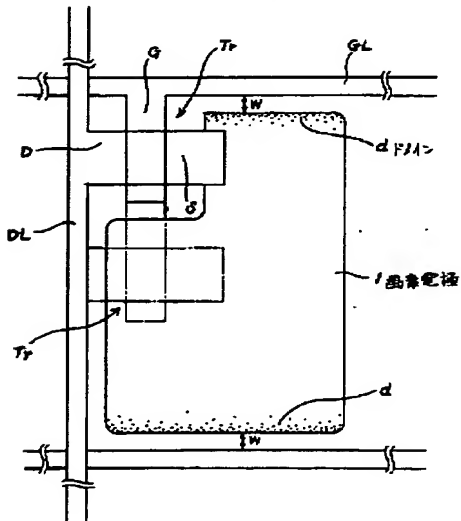
【図6】

縦型TFTを有する実施例



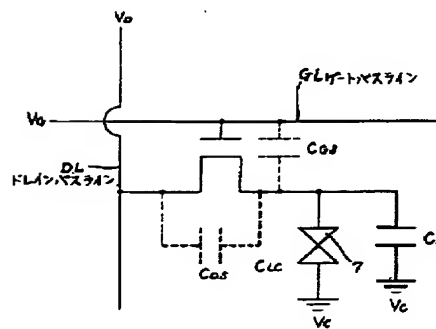
【図7】

縦糸の1セルの平面図



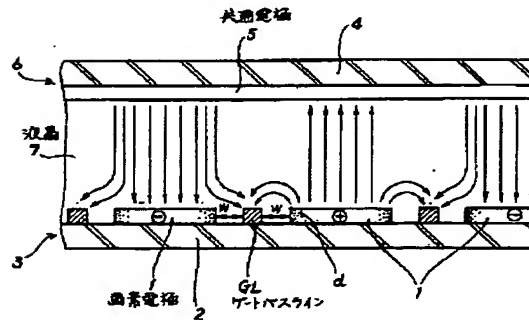
【図8】

1セル部の等価回路



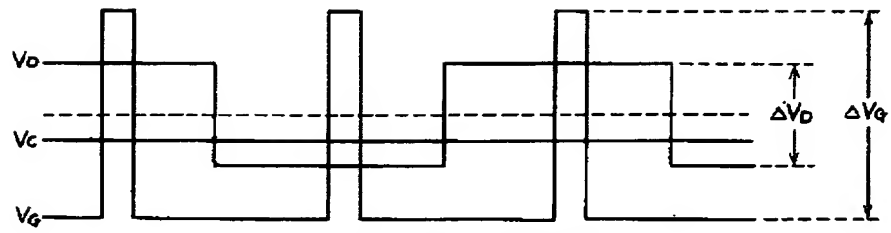
【図10】

縦糸のアクティブマトリクス液晶表示装置

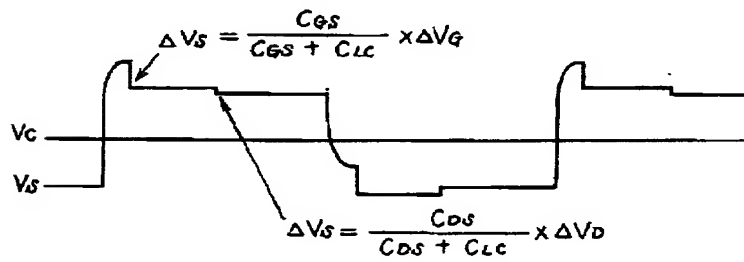


【図9】

印加波形と液晶セル波形



(a) TFT 印加波形



(b) 液晶セル波形